

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seong-gyun Kim

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS OF FORMING A NONVOLATILE MEMORY DEVICE HAVING
A LOCAL SONOS STRUCTURE THAT USE SPACERS TO ADJUST THE
OVERLAP BETWEEN A GATE ELECTRODE AND A CHARGE TRAPPING
LAYER**

Date: July 23, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450


SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0048967, filed August 19, 2002.

Respectfully submitted,



D. Scott Moore

Registration No. 42,011

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

Telephone: 919/854-1400

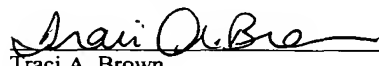
Facsimile: 919/854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV353592351US

Date of Deposit: July 23, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Traci A. Brown

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0048967
Application Number PATENT-2002-0048967

출원년월일 : 2002년 08월 19일
Date of Application AUG 19, 2002

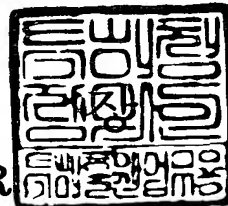
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002.08.19
【국제특허분류】	H01L
【발명의 명칭】	국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법
【발명의 영문명칭】	Method for fabricating non-volatile memory device having local SONOS structure
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김성균
【성명의 영문표기】	KIM, Seong Gyun
【주민등록번호】	660106-1841110
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동(한솔마을) 청구아파트 106동 504호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 16 항 621,000 원

【합계】 658,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법은, 반도체 기판 위에 반도체 기판의 일부 표면을 노출시키면서 제1 산화막 패턴, 질화막 패턴 및 제2 산화막 패턴이 순차적으로 적층된 수직 구조물을 형성하되, 제2 산화막 패턴에 의해 질화막 패턴의 일부 표면이 노출되도록 하는 단계와, 수직 구조물 및 반도체 기판의 노출 표면 위에 제3 산화막을 형성하는 단계와, 제3 산화막 위에 폴리실리콘막을 형성하는 단계와, 평탄화 공정을 제2 산화막 패턴이 노출될 때까지 수행하여 폴리실리콘막 패턴으로 이루어진 컨트롤 게이트 전극을 형성하는 단계와, 컨트롤 게이트 전극을 식각 마스크로 한 식각 공정을 반도체 기판의 일부 표면이 노출될 때까지 수행하여??컨트롤 게이트 전극 하부에, 제1 산화막 패턴으로 이루어진 터널링층, 질화막 패턴으로 이루어진 전하 트랩층 및 제3 산화막으로 이루어진 차폐층이 순차적으로 적층된 ONO막과, 제3 산화막으로 이루어진 게이트 절연막이 나란하게 배치되도록 하는 단계, 및 컨트롤 게이트 전극에 의해 노출되는 반도체 기판에 대한 이온 주입 공정을 수행하여 소스 영역 및 드레인 영역을 형성하는 단계를 포함한다.

【대표도】

도 10

【명세서】**【발명의 명칭】**

국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법 {Method for fabricating non-volatile memory device having local SONOS structure}

【도면의 간단한 설명】

도 1 내지 도 4는 종래의 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 5 내지 도 11은 본 발명의 제1 실시예에 따른 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 12 및 도 13은 본 발명의 제2 실시예에 따른 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 불휘발성 메모리 소자의 제조 방법에 관한 것으로서, 보다 상세하게는 국부적(local) SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 구조를 갖는 불휘발성 메모리 소자의 제조 방법에 관한 것이다.

<5> 데이터를 저장하기 위해 사용되는 반도체 메모리 소자들은, 일반적으로, 휘발성(volatile)과 불휘발성(non-volatile) 메모리 소자로 구별될 수 있다. 휘발성 메모리 소자들은 전원 공급이 중단됨에 따라 저장된 데이터를 소실하지만, 불휘발성 메모리 소

자는 전원 공급이 중단되더라도 저장된 데이터를 유지한다. 따라서 이동 전화 시스템, 음악 및/또는 영상 데이터를 저장하기 위한 메모리 카드 및 그 밖의 다른 응용 장치에서와 같이, 전원을 항상 사용할 수 없거나, 종종 중단되거나, 또는 낮은 파워 사용이 요구되는 상황에서는 불휘발성 메모리 소자들이 폭넓게 사용된다.

<6> 일반적으로 불휘발성 메모리 소자는, 셀 트랜지스터의 채널 영역 위에서 게이트 절연막, 플로팅 게이트 전극, 게이트간 절연막 및 컨트롤 게이트 전극이 순차적으로 적층되는 적층된 게이트(stacked gate) 구조를 갖는다. 경우에 따라서 불휘발성 메모리 소자는, 내부에 채널 영역이 형성되는 실리콘막, 터널링(tunneling)층을 형성하는 산화막, 전하 트랩(charge trapping)층으로 사용되는 질화막, 차폐(blocking)층으로 사용되는 산화막 및 컨트롤 게이트 전극으로 사용되는 실리콘막을 포함하는 구조로 이루어질 수 있다. 이와 같은 막들은 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 구조로서 함축적으로 언급된다. 최근에는 전하 트랩층으로서의 질화막이 컨트롤 게이트 전극으로 사용되는 실리콘막의 일부와만 중첩되는 국부적 SONOS 구조가 제안된 바 있다. 이 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자는, 전하 트랩층과 컨트롤 게이트 전극의 중첩 길이를 조절함으로써, 향상된 동작 특성을 나타낸다는 사실이 이미 알려져 있다.

<7> 도 1 내지 도 4는 종래의 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<8> 먼저 도 1에 도시된 바와 같이, 실리콘 기판(100) 위에 ONO막(110)을 형성

하고, ONO막(110) 위에 제1 포토레지스트막 패턴(121)을 형성한다. ONO막(110)은 제1 산화막(112), 질화막(114) 및 제2 산화막(116)이 순차적으로 적층된 구조를 갖는다. 제1 포토레지스트막 패턴(121)은 제2 산화막(116)의 일부 표면을 노출시키는 개구부를 갖는다. 다음에 제1 포토레지스트막 패턴(121)을 식각 마스크로 한 식각 공정을 수행하여 제2 산화막(116), 질화막(114) 및 제1 산화막(112)의 노출 부분을 순차적으로 제거한다. 그러면 도 2에 도시된 바와 같이, 실리콘 기판(100)의 일부 표면(101)이 노출되고, 노출 표면(101) 양쪽 위에는 각각 ONO막 패턴(110')이 형성된다. 상기 식각 공정을 수행한 후에는 제1 포토레지스트막 패턴(121)을 제거한다.

<9> 다음에 도 3에 도시된 바와 같이, 산화 공정을 수행하여 실리콘 기판(100)의 노출 표면(도 2의 101) 위에 게이트 절연막으로서의 제3 산화막(130)을 형성한다. 그리고 ONO막 패턴(110') 및 제3 산화막(130) 위에 폴리실리콘막(140) 및 제2 포토레지스트막 패턴(122)을 순차적으로 형성한다. 이어서 제2 포토레지스트막 패턴(122)을 식각 마스크로 한 식각 공정을 수행하여 폴리실리콘막(140) 및 ONO막 패턴(110')의 노출 부분을 순차적으로 제거한다. 상기 식각 공정 후에는 제2 포토레지스트막 패턴(122)을 제거한다. 그러면 도 4에 도시된 바와 같이, 컨트롤 게이트 절연막으로서의 폴리실리콘막 패턴(142)이 만들어지며, 폴리실리콘막 패턴(142)의 양쪽으로는 폴리실리콘막 패턴(142)의 가장자리에 정렬되면서 실리콘 기판(100) 위에 순차적으로 적층된 터널링층(112), 전하 트랩층(114) 및 차폐층(116)이 형성된다. 전하 트랩층(114)과 폴리실리콘막 패턴(142)의 중첩 길이는 "A"로 나타낸 바와 같다. 다음에 폴리실리콘막 패턴(142) 및 소정의 마스크막 패턴(미도시)을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 실리콘 기판(100)의 상부 일정 영역에 각각 소스 영역(162) 및 드레인 영역(164)을 형성한다.

<10> 이상 설명한 바와 같이, 종래의 불휘발성 메모리 소자의 제조 방법에 의하면, 전하 트랩층(114)과 폴리실리콘막 패턴(142)의 중첩 길이인 "A"는 제1 포토레지스트막 패턴(도 1의 121)과 제2 포토레지스트막 패턴(도 3의 122)에 의해 결정됨을 알 수 있다. 따라서 소자의 집적도 증가에 따라 포토리소그래피 공정에 필연적으로 발생하는 미스얼라인(misalign)이 발생하게 되며, 이 미스얼라인에 의해 상기 길이 "A"는 특정 위치마다 불규칙해지는 결과가 초래된다. 이와 같이 길이 "A"의 불규칙한 길이는 메모리 셀의 특성을 불균일하게 만들어서 결국은 소자의 신뢰성을 약화시킨다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는 포토리소그래피 공정에 영향을 받지 않고 전하 트랩층과 컨트롤 게이트 전극의 중첩 길이를 결정할 수 있는 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<12> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 불휘발성 메모리 소자의 제조 방법은, 반도체 기판 위에 상기 반도체 기판의 일부 표면을 노출시키면서 제1 산화막 패턴, 질화막 패턴 및 제2 산화막 패턴이 순차적으로 적층된 수직 구조물을 형성하되, 상기 제2 산화막 패턴에 의해 상기 질화막 패턴의 일부 표면이 노출되도록 하는 단계: 상기 수직 구조물 및 상기 반도체 기판의 노출 표면 위에 제3 산화막을 형성하는 단계; 상기 제3 산화막 위에 폴리실리콘막을 형성하는 단계: 평탄화 공정을 상기 제2 산화막 패턴이 노출될 때까지 수행하여 상기 폴리실리콘막 패턴으로 이루어진 컨트롤 게이트 전극을 형성하는 단계; 상기 컨트롤 게이트 전극을 식각 마스크로 한 식각 공정을 상기 반도체 기판의 일부 표면이 노출될 때까지 수행하여??상기 컨트롤 게이트

전극 하부에, 상기 제1 산화막 패턴으로 이루어진 터널링층, 상기 질화막 패턴으로 이루어진 전하 트랩층 및 상기 제3 산화막으로 이루어진 차폐층이 순차적으로 적층된 ONO막과, 상기 제3 산화막으로 이루어진 게이트 절연막이 나란하게 배치되도록 하는 단계; 및 상기 컨트롤 게이트 전극에 의해 노출되는 상기 반도체 기판에 대한 이온 주입 공정을 수행하여 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

<13> 상기 수직 구조물을 형성하는 단계는, 상기 반도체 기판 위에 제1 산화막, 질화막 및 제2 산화막을 순차적으로 형성하는 단계; 상기 제2 산화막을 패터닝하여 상기 질화막의 일부 표면을 노출시키는 제2 산화막 패턴을 형성하는 단계; 상기 질화막의 노출 표면 및 상기 제2 산화막 패턴 위에 중간막을 형성하는 단계; 상기 중간막에 대한 등방성 식각 공정을 수행하여 상기 제2 산화막 패턴 측면상에 스페이서막을 형성하는 단계; 상기 제2 산화막 패턴 및 스페이서막을 식각 마스크로 상기 질화막에 대한 식각 공정을 수행하여 제1 산화막의 일부 표면을 노출시키는 질화막 패턴을 형성하는 단계; 상기 스페이서를 제거하여 상기 질화막 패턴의 일부를 노출시키는 단계; 상기 질화막 패턴을 식각 마스크로 상기 제1 산화막에 대한 식각 공정을 수행하여 제1 산화막 패턴을 형성하는 단계; 및 상기 반도체 기판의 노출 표면, 상기 질화막 패턴의 노출 표면 및 상기 제2 산화막 패턴 위에 제3 산화막을 형성하는 단계를 포함하는 것이 바람직하다.

<14> 이 경우 상기 중간막은 폴리실리콘막인 것이 바람직하다.

<15> 상기 중간막에 대한 등방성 식각 공정으로 에치 백 공정을 사용하는 것이 바람직하다.

<16> 상기 제1 산화막에 대한 식각 공정은 습식 식각법을 사용하여 수행하는 것이 바람직하다.

- <17> 본 실시예에 있어서, 상기 제3 산화막은 화학 기상 증착 공정에 의해 형성하는 것이 바람직하다. 이 경우 상기 화학 기상 증착 공정 후에 열 산화 공정을 수행하여 상기 제3 산화막의 두께를 증가시키는 단계를 더 포함할 수도 있다.
- <18> 상기 평탄화 공정은 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것이 바람직하다.
- <19> 상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 불휘발성 메모리 소자의 제조 방법은, 반도체 기판 위에 상기 반도체 기판의 일부 표면을 노출시키면서 상호 이격된 한 쌍의 수직 구조물들을 형성하되, 상기 각 수직 구조물은 제1 산화막 패턴, 질화막 패턴 및 제2 산화막 패턴이 순차적으로 적층된 구조를 가지며, 상기 제2 산화막 패턴에 의해 상기 질화막 패턴의 일부 표면이 노출되는 구조를 갖도록 하는 단계; 상기 수직 구조물들 및 상기 반도체 기판의 노출 표면 위에 제3 산화막을 형성하는 단계; 상기 제3 산화막 위에 폴리실리콘막을 형성하는 단계; 평탄화 공정을 상기 제2 산화막 패턴이 노출될 때까지 수행하여 폴리실리콘막 패턴을 형성하는 단계; 상기 컨트롤 게이트 전극을 식각 마스크로 한 식각 공정을 상기 반도체 기판의 일부 표면이 노출될 때까지 수행하여??상기 폴리실리콘막 패턴 하부에 상호 이격된 한 쌍의 ONO막들 및 상기 제3 산화막이 배치되도록 하되, 상기 각 ONO막은 제1 산화막 패턴으로 이루어진 터널링층, 상기 질화막 패턴으로 이루어진 전하 트랩층 및 상기 제3 산화막으로 이루어진 차폐층이 순차적으로 적층된 구조를 갖도록 하는 단계; 상기 폴리실리콘막 패턴 위에 상기 폴리실리콘막 패턴의 일부 표면을 노출시키는 마스크막 패턴을 형성하는 단계; 상기 마스크막 패턴을 식각 마스크로 상기 폴리실리콘막 패턴 및 제3 산화막에 대한 식각 공정을 순차적으로 수행하여, 상기 폴리실리콘막 패턴으로 이루어지며 상호 이격되도

록 배치된 제1 컨트롤 게이트 전극 및 제2 컨트롤 게이트 전극과, 상기 제3 산화막으로 이루어지며 상기 제1 컨트롤 게이트 전극 및 제2 컨트롤 게이트 전극 하부에 배치된 제1 게이트 절연막 및 제2 게이트 절연막을 형성하는 단계; 및 상기 제1 컨트롤 게이트 전극 및 제2 컨트롤 게이트 전극에 의해 노출되는 상기 반도체 기판에 대한 이온 주입 공정을 수행하여 소스 영역, 드레인 영역 및 불순물 영역을 형성하되, 상기 소스 영역은 상기 제1 컨트롤 게이트 전극 하부의 전하 트랩층에 인접한 반도체 기판에 형성되도록 하고, 상기 드레인 영역은 상기 제2 컨트롤 게이트 전극 하부의 전하 트랩층에 인접한 반도체 기판에 형성되도록 하며, 그리고 상기 불순물 영역은 상기 제1 및 제2 컨트롤 게이트 전극 사이의 반도체 기판에 형성되도록 하는 단계를 포함하는 것을 특징으로 한다.

<20> 상기 한 쌍의 수직 구조물들을 형성하는 단계는, 상기 반도체 기판 위에 제1 산화막, 질화막 및 제2 산화막을 순차적으로 형성하는 단계; 상기 제2 산화막을 패터닝하여 상기 질화막의 일부 가운데 표면을 노출시키는 한 쌍의 제2 산화막 패턴들을 형성하는 단계; 상기 질화막의 노출 표면 및 상기 제2 산화막 패턴들 위에 중간막을 형성하는 단계; 상기 중간막에 대한 등방성 식각 공정을 수행하여 상기 제2 산화막 패턴들 측면상에 스페이서막들을 형성하는 단계; 상기 제2 산화막 패턴들 및 스페이서막들을 식각 마스크로 상기 질화막에 대한 식각 공정을 수행하여 제1 산화막의 일부 가운데 표면을 노출시키는 한 쌍의 질화막 패턴들을 형성하는 단계; 상기 스페이서를 제거하여 상기 질화막 패턴들의 일부를 노출시키는 단계; 상기 질화막 패턴들을 식각 마스크로 상기 제1 산화막에 대한 식각 공정을 수행하여 상기 반도체 기판의 일부 가운데 표면을 노출시키는 제1 산화막 패턴을 형성하는 단계; 및 상기 반도체 기판의 노출 표면, 상기 질화막

패턴들의 노출 표면 및 상기 제2 산화막 패턴들 위에 제3 산화막을 형성하는 단계를 포함하는 것이 바람직하다.

<21> 이 경우 상기 중간막은 폴리실리콘막인 것이 바람직하다.

<22> 상기 중간막에 대한 등방성 식각 공정으로 에치 백 공정을 사용하는 것이 바람직하다.

<23> 상기 제1 산화막에 대한 식각 공정은 습식 식각법을 사용하여 수행하는 것이 바람직하다.

<24> 본 실시예에 있어서, 상기 제3 산화막은 화학 기상 증착 공정에 의해 형성하는 것이 바람직하다. 이 경우 상기 화학 기상 증착 공정 후에 열 산화 공정을 수행하여 상기 제3 산화막의 두께를 증가시키는 단계를 더 포함할 수도 있다.

<25> 상기 평탄화 공정은 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것이 바람직하다.

<26> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

<27> 도 5 내지 도 11은 본 발명의 제1 실시예에 따른 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<28> 먼저 도 5를 참조하면, 실리콘 기판(200) 위에 ONO막(210)을 형성한다. 이 ONO막(210)은 제1 산화막(211), 질화막(213) 및 제2 산화막(215)이 순차적으로 적층된 구조이다. 일 실시예에서, 제1 산화막(211)은 실리콘 기판(200)을 열 산화(thermal

oxidation)시킴으로써 형성할 수 있다. 경우에 따라서 상기 열 산화는, 나이트로전(Nitrogen)을 포함한 분위기, 예컨대 N_2O 가스 또는 NO 가스 분위기에서 수행될 수 있는데, 이 경우 제1 산화막(211)은 옥시나이트라이드(oxynitride)를 포함하게 된다. 질화막(213) 및 제2 산화막(215)은 저압 화학 기상 증착(LP-CVD; Low-Pressure Chemical Vapor Deposition)법을 사용하여 형성한다. 경우에 따라서 상기 질화막(213)은 제1 산화막(211)에 대한 질화(nitridation) 공정을 수행함으로써 형성할 수도 있다. 상기 제2 산화막(211)은 통상적인 두께보다 실질적으로 두꺼운 두께를 갖도록 형성한다.

<29> 다음에 도 6을 참조하면, 제2 산화막(211)을 패터닝해서 제2 산화막 패턴(215')을 형성한다. 제2 산화막 패턴(215')에 의해 질화막(213)의 일부 가운데 표면은 노출된다. 제2 산화막 패턴(215')을 형성하기 위해서는, 먼저 제2 산화막(도 1의 215) 위에 마스크막 패턴(미도시)을 형성한다. 그리고 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여, 질화막(213)의 일부 표면이 노출될 때까지 노출된 제2 산화막(215)을 제거한다. 상기 제2 산화막 패턴(215')을 형성한 후에는, 제2 산화막 패턴(215') 및 노출된 질화막(213) 노출 표면이 완전히 덮이도록 제1 폴리실리콘막(220)을 형성한다. 이때 제1 폴리실리콘막(220)의 두께(d)는 후속의 전하 트랩층과 컨트롤 게이트 전극의 중첩 길이를 결정하는 중요한 인자(factor)가 된다. 따라서 제1 폴리실리콘막(220)의 두께(d)는 소망하는 전하 트랩층과 컨트롤 게이트 전극의 중첩 길이가 얻어질 수 있도록 결정된다.

<30> 다음에 도 7을 참조하면, 제1 폴리실리콘막(도 6의 220)에 대한 등방성 식각을 제2 산화막 패턴(215')의 상부 표면이 노출될 때까지 수행한다. 그러면 제2 산화막 패턴

(215')의 측면 및 질화막(도 6의 213)의 일부 표면 위에 폴리실리콘막 스페이서(220')가 형성된다. 상기 등방성 식각으로는 에치 백(etch-back) 식각 방법을 사용할 수 있다. 폴리실리콘막 스페이서(220')가 형성되고 나면, 제2 산화막 패턴(215')의 상부 표면 외에도 질화막(도 1의 213)의 일부 표면도 또한 노출된다. 따라서 이 질화막(213)의 노출 표면을 제거하여 질화막 패턴(213')을 형성한다. 이때 질화막(213)의 노출 표면 제거를 위한 마스크막으로서는 제2 산화막 패턴(215')과 제1 폴리실리콘막 스페이서(220')가 이용된다. 상기 질화막 패턴(213')은 제2 산화막 패턴(215') 및 제1 폴리실리콘막 스페이서(220')에 의해 그 상부 표면이 덮인다. 그리고 제1 폴리실리콘막 스페이서(220') 사이로 제1 산화막(211)의 일부 표면이 노출되게 된다. 이후 제1 폴리실리콘막 스페이서(220')를 제거하기 위한 식각 공정을 수행한다.

<31> 다음에 도 8을 참조하면, 질화막 패턴(213')을 식각 마스크로 한 식각 공정을 수행하여 제1 산화막(도 7의 211)의 노출 부분을 제거한다. 그러면 제1 산화막 패턴(211')이, 실리콘 기판(200)의 일부 표면, 즉 게이트 절연막이 형성될 부분을 노출시키면서 질화막 패턴(213')의 가장자리에 정렬되어 형성된다. 상기 식각 공정에 의해 실리콘 기판(200)의 일부 표면이 노출되므로, 상기 식각 공정으로는 플라즈마를 이용한 건식 식각 방법을 사용할 수도 있지만, 이 경우 플라즈마에 의한 실리콘 기판(200)의 데미지(damage)가 발생하게 되므로 가급적 습식 식각 방법을 사용하는 것이 바람직하다. 다음에 산화막 형성 공정을 수행하여 실리콘 기판(200)의 노출 부분이 완전히 덮이도록 제3 산화막(230)을 형성한다. 이 과정에서 제2 산화막 패턴(215')의 상부 표면 뿐만 아니라 질화막 패턴(213')의 노출 표면도 제3 산화막(230)으로 덮인다. 상기 산화막 형성 공정은 화학 기상 증착(CVD; Chemical Vapor Deposition)법을 사용하여 수행할 수 있다. 상

기 화학 기상 증착법에 의해 제3 산화막(230)을 형성한 후에는 통상의 어닐링(annealing)을 수행하여 제3 산화막(230)을 경화시킨다. 그러나 보다 더 두꺼운 제3 산화막(230) 형성을 위해 어닐링 대신에 열 산화(thermal oxidation)를 수행할 수도 있다. 어닐링 대신에 열 산화를 수행할 경우, 제3 산화막(230)이 경화되는 동시에 보다 더 두꺼운 제3 산화막(230)을 얻을 수 있다.

<32> 다음에 도 9를 참조하면, 제3 산화막(230) 위에 제2 폴리실리콘막(240)을 형성한다. 제2 폴리실리콘막(240)은 CVD법을 사용하여 형성할 수 있다. 일 실시예에서, 제2 폴리실리콘막(240) 형성을 위한 CVD 공정시에, 소스 가스의 대략 10% 체적만큼 포스핀(phosphine) 가스를 혼합함으로써, n형 불순물인 포스포러스(Phosphorus)로 도핑되도록 한다. 그러면 도핑되지 않은 폴리실리콘막과 비교하여 보다 더 높은 도전성을 갖는 제2 폴리실리콘막(240)을 얻을 수 있다.

<33> 다음에 도 10을 참조하면, 평탄화 공정을 수행하여 제2 산화막 패턴(215')이 노출되도록 제2 폴리실리콘막(도 9의 240)의 일부를 제거한다. 평탄화 공정은 화학적 기계적 폴리싱(CMP; Chemical Mechanical Polishing)을 사용하여 수행할 수 있다. 상기 평탄화 공정은 제2 산화막 패턴(215')이 노출될 때까지 수행할 수 있으며, 경우에 따라서 제2 산화막 패턴(215') 상부의 제3 산화막(230)이 노출될 때까지만 수행할 수도 있다. 평탄화 공정이 끝나면 제2 폴리실리콘막 패턴으로 이루어진 컨트롤 게이트 전극(242)이 만들어진다.

<34> 다음에 도 11을 참조하면, 컨트롤 게이트 전극(242)을 식각 마스크로 한 식각 공정을 수행하여, 컨트롤 게이트 전극(242)에 의해 노출된 제2 산화막 패턴(도 10의 215')과 제3 산화막(도 10의 230)의 일부를 제거한다. 그러면 절화막 패턴(213')의 일부 표면

이 노출되는데, 계속해서 질화막 패턴(213')의 노출 부분을 제거하는 식각 공정을 진행시킨다. 질화막 패턴(213')이 제거되면, 제1 산화막 패턴(211')의 일부 표면이 노출된다. 마찬가지로 식각 공정을 수행하여 상기 제1 산화막 패턴(211')의 노출 부분을 제거하여 실리콘 기판(200)의 일부가 노출되도록 한다. 이와 같은 식각 공정들이 모두 끝나면, 실리콘 기판(200)과 컨트롤 게이트 전극(242) 사이에 제1 산화막으로 이루어진 터널링층(212), 질화막으로 이루어진 전하 트랩층(214), 및 제3 산화막으로 이루어진 차폐층(234)이 순차적으로 적층된 수직 구조물(210')이 컨트롤 게이트 전극(242)의 가장 자리에 정렬되어 형성된다. 상기 수직 구조물(210') 사이의 실리콘 기판(200)과 컨트롤 게이트 전극(242) 사이에는 제3 산화막으로 이루어진 게이트 절연막(232)이 형성된다.

<35> 한편 게이트 라인의 전류 저항을 감소시키기 위하여 컨트롤 게이트 전극(242) 상부에 금속 실리사이드막(미도시)을 형성할 수도 있다. 이 경우 상기 금속 실리사이드막으로는 텅스텐 실리사이드(WSi)막, 코발트 실리사이드(CoSi)막 또는 티타늄 실리사이드(TiSi)막을 사용할 수 있다. 상기 식각 공정이 완전히 종료되면, 상기 컨트롤 게이트 전극(242) 및 소정의 마스크막 패턴(미도시)을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 실리콘 기판(200)의 상부 일정 영역에 소스 영역(252) 및 드레인 영역(254)을 형성한다.

<36> 도 12 및 도 13은 본 발명의 제2 실시예에 따른 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다. 구체적으로 본 실시예는 1 비트 동작(one bit operation)을 수행할 수 있는 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법에 관한 것이다.

<37> 먼저 도 12를 참조하면, 본 발명에 따른 불휘발성 메모리 소자의 제조 방법은 도 5 내지 도 10을 참조하여 설명한 단계들과 동일한 단계들을 포함한다. 또한 도 11을 참조하여 설명한 단계에서 소스 영역(도 11의 252) 및 드레인 영역(도 11의 254)을 형성하기 이전 단계까지도 동일하게 포함한다. 따라서 중복된 설명은 생략하고 그 이후 단계들부터 설명하면, 컨트롤 게이트 전극(도 11의 242) 위에 마스크막 패턴(미도시)을 형성한다. 이 마스크막 패턴은 컨트롤 게이트 전극(242)의 중앙부를 노출시키는 개구부를 갖는다. 이 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 컨트롤 게이트 전극(242)의 노출 부분을 제거한다. 그러면 게이트 절연막(도 11의 232)의 일부 표면이 노출된다. 계속 식각 공정을 진행하여 실리콘 기판(200) 일부 표면이 노출되도록 게이트 절연막(232)의 노출 부분도 제거한다. 다음에 마스크막 패턴을 제거한다. 그러면 그 결과 상호 일정 간격 이격되도록 배치되는 제1 컨트롤 게이트 전극(242a) 및 제2 컨트롤 게이트 전극(242b)이 형성된다. 또한 제1 컨트롤 게이트 전극(242a) 하부의 제1 게이트 절연막(232a)과, 제2 컨트롤 게이트 전극(242b) 하부의 제2 게이트 절연막(232b)도 또한 형성된다. 그리고 제1 컨트롤 게이트 전극(242a) 및 제2 컨트롤 게이트 전극(242b) 사이의 실리콘 기판(200)은 노출된다.

<38> 다음에 도 12에 도시된 바와 같이, 제1 컨트롤 게이트 전극(242a), 제2 컨트롤 게이트 전극(242b) 및 소정의 마스크막 패턴(미도시)을 이온 주입 마스크로 한 이온 주입 공정을 수행하여 실리콘 기판(200)의 상부 일정 영역에 소스 영역(252), 드레인 영역(254) 및 불순물 영역(256)을 형성한다. 상기 소스 영역(252)은 제1 컨트롤 게이트 전극(242a) 하부의 전하 트랩층(214)과 인접하는 실리콘 기판(200)에 형성된다. 상기 드레인 영역(254)은 제2 컨트롤 게이트 전극(242b) 하부의 전하 트랩층(214)과 인접하는

실리콘 기판(200)에 형성된다. 그리고 상기 불순물 영역(256)은 제1 컨트롤 게이트 전극(242a)과 제2 컨트롤 게이트 전극(242b) 사이의 실리콘 기판(200)에 형성된다.

<39> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【발명의 효과】

<40> 이상의 설명에서와 같이, 본 발명에 따른 국부적 SONOS 구조를 갖는 불휘발성 메모리 소자의 제조 방법에 의하면, 컨트롤 게이트 전극과 중첩되는 전하 트랩층의 길이는, 포토리소그래피 공정이 배제된 상태에서 단지 폴리실리콘막의 두께에 의해 모든 영역에서 균일하게 결정되므로 소자 특성의 균일성(uniformity)이 향상된다. 더욱이 폴리실리콘막의 두께를 조절함으로써 원하는 컨트롤 게이트 전극과 전하 트랩층의 중첩 길이를 용이하게 만들 수 있다는 이점도 또한 제공한다.

【특허청구범위】**【청구항 1】**

반도체 기판 위에 상기 반도체 기판의 일부 표면을 노출시키면서 제1 산화막 패턴, 질화막 패턴 및 제2 산화막 패턴이 순차적으로 적층된 수직 구조물을 형성하되, 상기 제2 산화막 패턴에 의해 상기 질화막 패턴의 일부 표면이 노출되도록 하는 단계:

상기 수직 구조물 및 상기 반도체 기판의 노출 표면 위에 제3 산화막을 형성하는 단계;

상기 제3 산화막 위에 폴리실리콘막을 형성하는 단계:

평탄화 공정을 상기 제2 산화막 패턴이 노출될 때까지 수행하여 상기 폴리실리콘막 패턴으로 이루어진 컨트롤 게이트 전극을 형성하는 단계;

상기 컨트롤 게이트 전극을 식각 마스크로 한 식각 공정을 상기 반도체 기판의 일부 표면이 노출될 때까지 수행하여??상기 컨트롤 게이트 전극 하부에, 상기 제1 산화막 패턴으로 이루어진 터널링층, 상기 질화막 패턴으로 이루어진 전하 트랩층 및 상기 제3 산화막으로 이루어진 차폐층이 순차적으로 적층된 ONO막과, 상기 제3 산화막으로 이루어진 게이트 절연막이 나란하게 배치되도록 하는 단계; 및

상기 컨트롤 게이트 전극에 의해 노출되는 상기 반도체 기판에 대한 이온 주입 공정을 수행하여 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 2】

제1항에 있어서, 상기 수직 구조물을 형성하는 단계는,

상기 반도체 기판 위에 제1 산화막, 질화막 및 제2 산화막을 순차적으로 형성하는 단계;

상기 제2 산화막을 패터닝하여 상기 질화막의 일부 표면을 노출시키는 제2 산화막 패턴을 형성하는 단계;

상기 질화막의 노출 표면 및 상기 제2 산화막 패턴 위에 중간막을 형성하는 단계;

상기 중간막에 대한 등방성 식각 공정을 수행하여 상기 제2 산화막 패턴 측면상에 스페이서막을 형성하는 단계;

상기 제2 산화막 패턴 및 스페이서막을 식각 마스크로 상기 질화막에 대한 식각 공정을 수행하여 제1 산화막의 일부 표면을 노출시키는 질화막 패턴을 형성하는 단계;

상기 스페이서를 제거하여 상기 질화막 패턴의 일부를 노출시키는 단계;

상기 질화막 패턴을 식각 마스크로 상기 제1 산화막에 대한 식각 공정을 수행하여 제1 산화막 패턴을 형성하는 단계; 및

상기 반도체 기판의 노출 표면, 상기 질화막 패턴의 노출 표면 및 상기 제2 산화막 패턴 위에 제3 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 중간막은 폴리실리콘막인 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 4】

제2항에 있어서,

상기 중간막에 대한 등방성 식각 공정으로 에치 백 공정을 사용하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 5】

제2항에 있어서,

상기 제1 산화막에 대한 식각 공정은 습식 식각법을 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 6】

제1항에 있어서,

상기 제3 산화막은 화학 기상 증착 공정에 의해 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 화학 기상 증착 공정 후에 열 산화 공정을 수행하여 상기 제3 산화막의 두께를 증가시키는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 8】

제1항에 있어서,

상기 평탄화 공정은 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 9】

반도체 기판 위에 상기 반도체 기판의 일부 표면을 노출시키면서 상호 이격된 한 쌍의 수직 구조물들을 형성하되, 상기 각 수직 구조물은 제1 산화막 패턴, 질화막 패턴 및 제2 산화막 패턴이 순차적으로 적층된 구조를 가지며, 상기 제2 산화막 패턴에 의해 상기 질화막 패턴의 일부 표면이 노출되는 구조를 갖도록 하는 단계;

상기 수직 구조물들 및 상기 반도체 기판의 노출 표면 위에 제3 산화막을 형성하는 단계;

상기 제3 산화막 위에 폴리실리콘막을 형성하는 단계;

평탄화 공정을 상기 제2 산화막 패턴이 노출될 때까지 수행하여 폴리실리콘막 패턴을 형성하는 단계;

상기 컨트롤 게이트 전극을 식각 마스크로 한 식각 공정을 상기 반도체 기판의 일부 표면이 노출될 때까지 수행하여??상기 폴리실리콘막 패턴 하부에 상호 이격된 한 쌍의 ONO막들 및 상기 제3 산화막이 배치되도록 하되, 상기 각 ONO막은 제1 산화막 패턴으로 이루어진 터널링층, 상기 질화막 패턴으로 이루어진 전하 트랩층 및 상기 제3 산화막으로 이루어진 차폐층이 순차적으로 적층된 구조를 갖도록 하는 단계;

상기 폴리실리콘막 패턴 위에 상기 폴리실리콘막 패턴의 일부 표면을 노출시키는 마스크막 패턴을 형성하는 단계;

상기 마스크막 패턴을 식각 마스크로 상기 폴리실리콘막 패턴 및 제3 산화막에 대한 식각 공정을 순차적으로 수행하여, 상기 폴리실리콘막 패턴으로 이루어지며 상호 이격되도록 배치된 제1 컨트롤 게이트 전극 및 제2 컨트롤 게이트 전극과, 상기 제3 산화막으로 이루어지며 상기 제1 컨트롤 게이트 전극 및 제2 컨트롤 게이트 전극 하부에 배치된 제1 게이트 절연막 및 제2 게이트 절연막을 형성하는 단계; 및

상기 제1 컨트롤 게이트 전극 및 제2 컨트롤 게이트 전극에 의해 노출되는 상기 반도체 기판에 대한 이온 주입 공정을 수행하여 소스 영역, 드레인 영역 및 불순물 영역을 형성하되, 상기 소스 영역은 상기 제1 컨트롤 게이트 전극 하부의 전하 트랩층에 인접한 반도체 기판에 형성되도록 하고, 상기 드레인 영역은 상기 제2 컨트롤 게이트 전극 하부의 전하 트랩층에 인접한 반도체 기판에 형성되도록 하며, 그리고 상기 불순물 영역은 상기 제1 및 제2 컨트롤 게이트 전극 사이의 반도체 기판에 형성되도록 하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 10】

제9항에 있어서, 상기 한 쌍의 수직 구조물들을 형성하는 단계는,

상기 반도체 기판 위에 제1 산화막, 질화막 및 제2 산화막을 순차적으로 형성하는 단계;

상기 제2 산화막을 패터닝하여 상기 질화막의 일부 가운데 표면을 노출시키는 한 쌍의 제2 산화막 패턴들을 형성하는 단계;

상기 질화막의 노출 표면 및 상기 제2 산화막 패턴들 위에 중간막을 형성하는 단계;

상기 중간막에 대한 등방성 식각 공정을 수행하여 상기 제2 산화막 패턴들 측면상에 스페이서막들을 형성하는 단계;

상기 제2 산화막 패턴들 및 스페이서막들을 식각 마스크로 상기 질화막에 대한 식각 공정을 수행하여 제1 산화막의 일부 가운데 표면을 노출시키는 한 쌍의 질화막 패턴들을 형성하는 단계;

상기 스페이서를 제거하여 상기 질화막 패턴들의 일부를 노출시키는 단계;

상기 질화막 패턴들을 식각 마스크로 상기 제1 산화막에 대한 식각 공정을 수행하여 상기 반도체 기판의 일부 가운데 표면을 노출시키는 제1 산화막 패턴을 형성하는 단계; 및

상기 반도체 기판의 노출 표면, 상기 질화막 패턴들의 노출 표면 및 상기 제2 산화막 패턴들 위에 제3 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 11】

제10항에 있어서,

상기 중간막은 폴리실리콘막인 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 12】

제10항에 있어서,

상기 중간막에 대한 등방성 식각 공정으로 에치 백 공정을 사용하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 13】

제10항에 있어서,

상기 제1 산화막에 대한 식각 공정은 습식 식각법을 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 14】

제9항에 있어서,

상기 제3 산화막은 화학 기상 증착 공정에 의해 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【청구항 15】

제14항에 있어서,

상기 화학 기상 증착 공정 후에 열 산화 공정을 수행하여 상기 제3 산화막의 두께를 증가시키는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

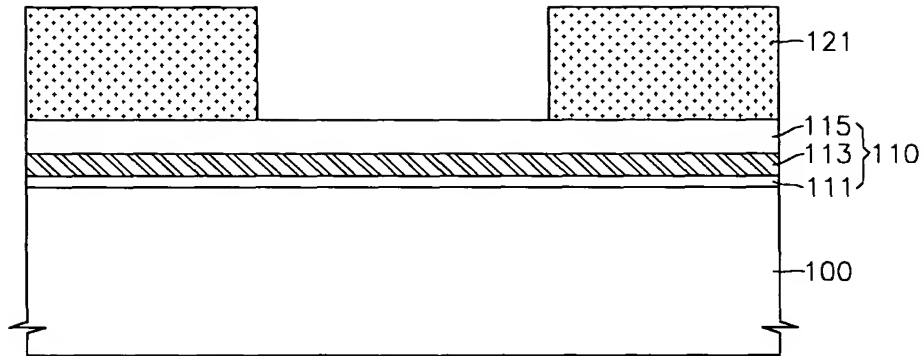
【청구항 16】

제9항에 있어서,

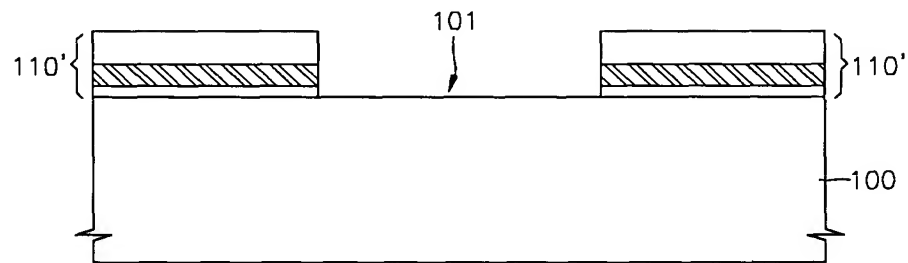
상기 평탄화 공정은 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

【도면】

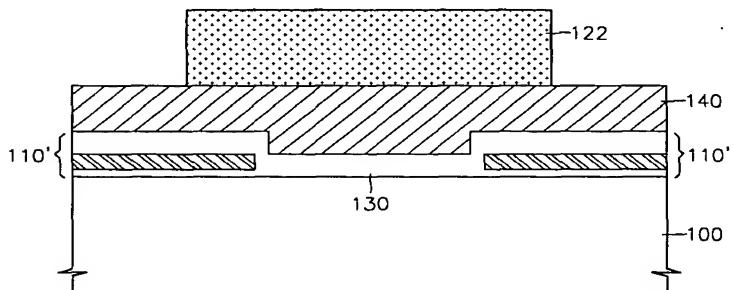
【도 1】



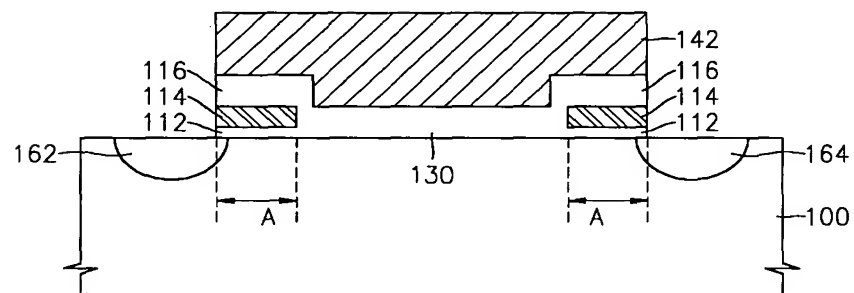
【도 2】



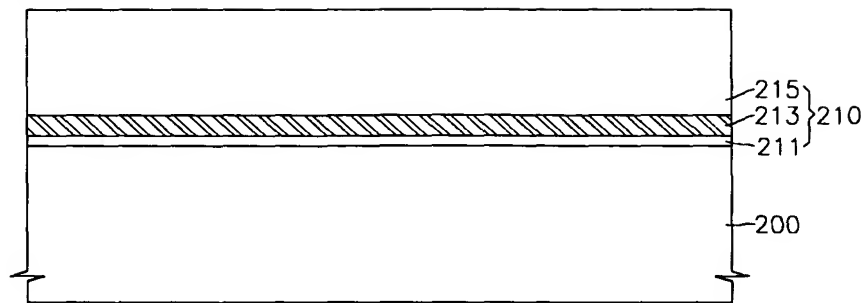
【도 3】



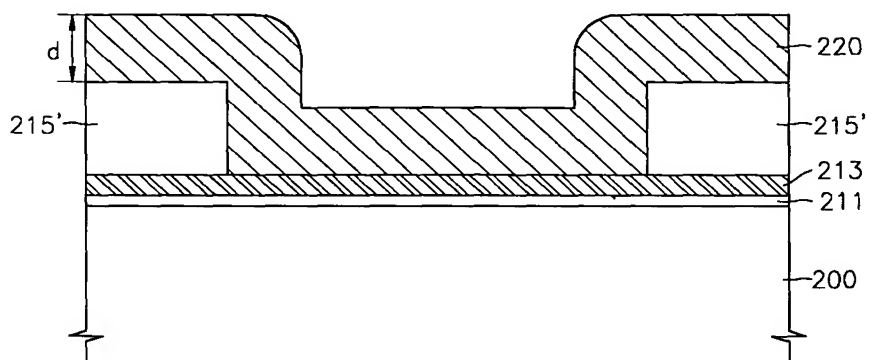
【도 4】



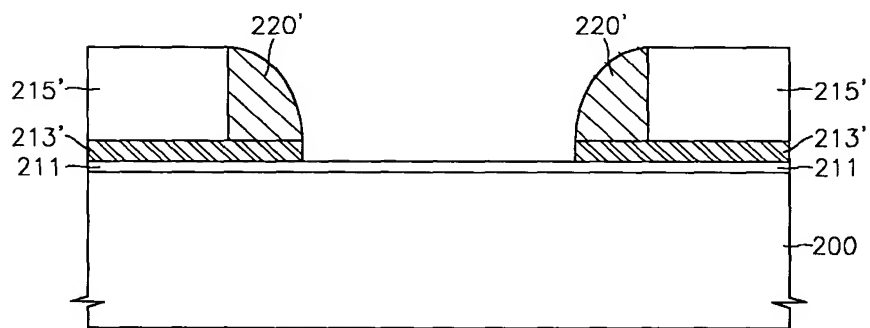
【도 5】



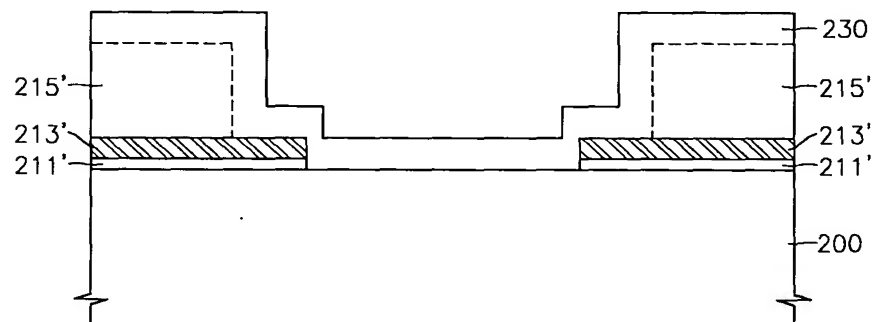
【도 6】



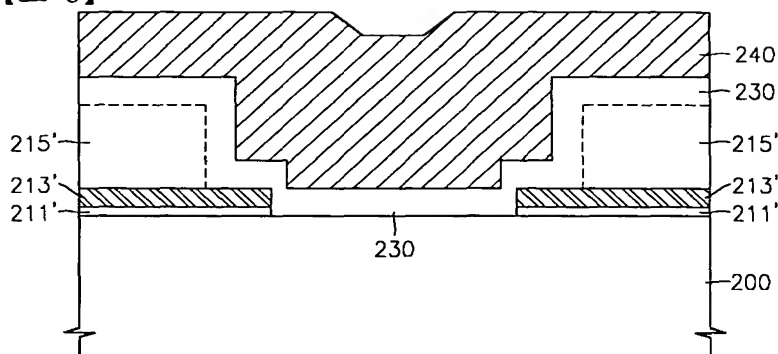
【도 7】



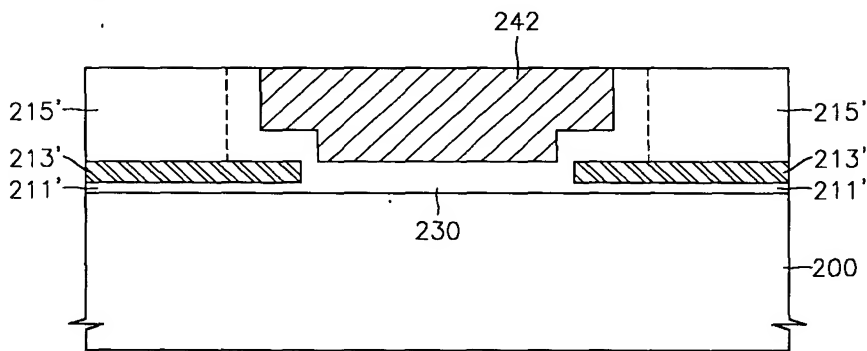
【도 8】



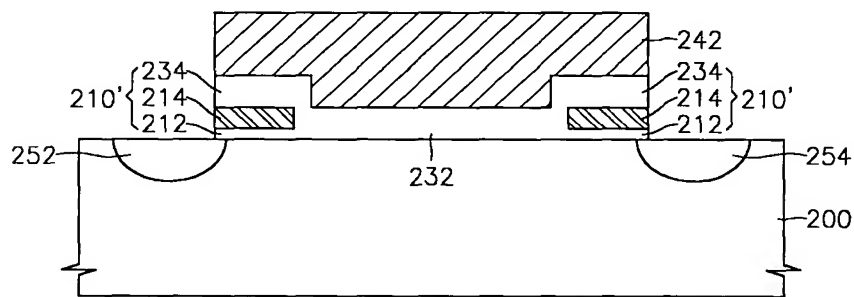
【도 9】



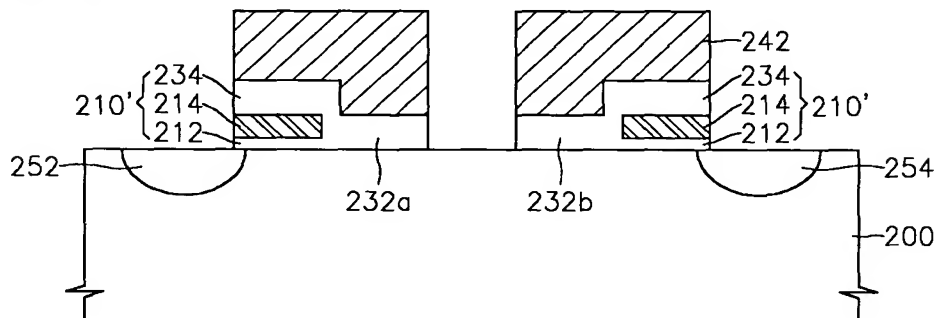
【도 10】



【도 11】



【도 12】



【도 13】

